

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-084005

(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

H04N 7/24

H03M 7/40

(21)Application number : 07-236956

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.09.1995

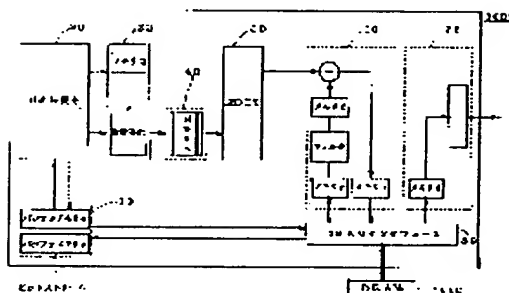
(72)Inventor : HASHIMOTO TAKASHI  
URAMOTO SHINICHI  
TAKAHATA AKIHIKO

## (54) IMAGE EXPANDING DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To conduct pipeline processing in which useless wait time of each function unit is minimized by conducting variable length decoding continuously without frequent read of a bit stream from an external DRAM so as to improve the processing efficiency of the variable length decoder.

**SOLUTION:** A capacity of a buffer memory (c) of a rate buffer interface 10 is a capacity larger than maximum code quantity of one macro block. A scanning conversion section 40 is provided with a memory (z) having a capacity of two macro blocks. A picture element re-configuration section 60 is provided with a memory (f) buffering a predicted image by two macro blocks and a memory (r) buffering picture element data after re-configuration by one macro block.



## LEGAL STATUS

[Date of request for examination] 25.07.2001

[Date of sending the examiner's decision of rejection] 01.03.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-84005

(43)公開日 平成9年(1997)3月28日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/24			H 0 4 N 7/13	Z
H 0 3 M 7/40		9382-5K	H 0 3 M 7/40	

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21)出願番号 特願平7-236956

(22)出願日 平成7年(1995)9月14日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 橋本 隆

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 浦本 紳一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 高島 明彦

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

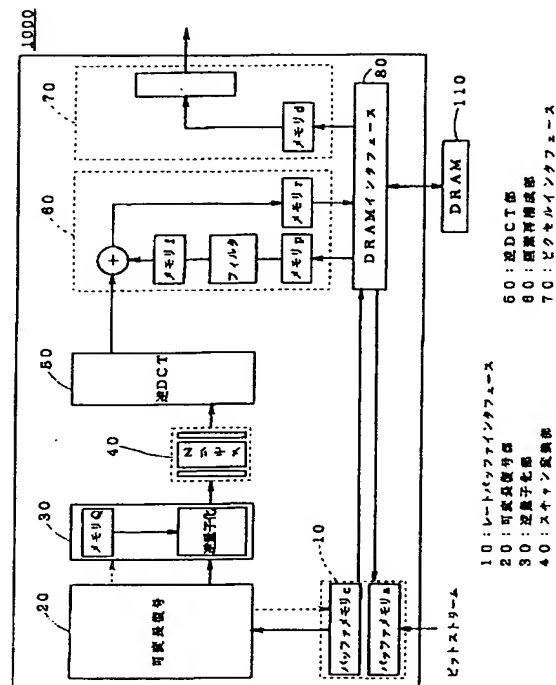
(74)代理人 弁理士 吉田 茂明 (外2名)

(54)【発明の名称】 画像伸張装置

(57)【要約】

【課題】 1マクロブロックのデータ処理において、外部のDRAMからビットストリームの読み出しを頻繁に行うことなく可変長復号を連続的に行って可変長復号器の処理効率を向上させるとともに、各機能ユニットの無駄な待ち時間を極力抑えたパイプライン処理を行って、処理効率を向上した画像データ伸張装置を提供する。

【解決手段】 バッファメモリcの容量は1マクロブロックがもつ最大符号量より大きな容量であり、スキャン変換部40には2マクロブロック分の容量を有するメモリzを備え、画素再構成部60には、予測画像を2マクロブロック分バッファリングするメモリpと、予測画像から生成した予測画像データを1マクロブロック分バッファリングするメモリfと、再構成済み画素データを1マクロブロック分バッファリングするメモリrとを備えている。



**【特許請求の範囲】**

【請求項1】 外部DRAM内のレートバッファに保持された符号化され圧縮された画像データを受け、該画像データを復号して復号データを生成する可変長復号部と、前記復号データを逆量子化する逆量子化部と、前記逆量子化部の出力データをならべ換えるスキャン変換部と、前記スキャン変換部の出力データに逆離散コサイン変換を施す逆DCT部と、前記復号データがフレーム間符号化されたデータである場合に、既に復号され前記外部DRAM内のフレームメモリに保持された予測画像を読み出して予測画像データを生成し、前記逆DCT部の出力データとの加算を行って再構成済み画素データを生成する画素再構成部とを備え、前記画像データを伸張処理する画像伸張装置において、前記外部DRAMと前記可変長復号部との間に配置され、前記外部DRAM内のレートバッファから読み出した前記画像データを一時的に保持した後、前記可変長復号部に転送する内部レートバッファを備え、前記内部レートバッファは、そのメモリ容量が1マクロブロックのもつべき最大の符号量より大きく形成されている画像伸張装置。

【請求項2】 外部DRAM内のレートバッファに保持された符号化され圧縮された画像データを受け、該画像データを復号して復号データを生成する可変長復号部と、前記復号データをならべ換えるスキャン変換部と、前記スキャン変換部の出力データを逆量子化する逆量子化部と、前記逆量子化部の出力データに逆離散コサイン変換を施す逆DCT部と、前記復号データがフレーム間符号化されたデータである場合に、既に復号され前記外部DRAM内のフレームメモリに保持された予測画像を読み出して予測画像データを生成し、前記逆DCT部の出力データとの加算を行って再構成済み画素データを生成する画素再構成部とを備え、前記画像データを伸張処理する画像伸張装置において、前記外部DRAMと前記可変長復号部との間に配置され、前記外部DRAM内のレートバッファから読み出した前記画像データを一時的に保持した後、前記可変長復号部に転送する内部レートバッファを備え、前記内部レートバッファは、そのメモリ容量が1マクロブロックのもつべき最大の符号量より大きく形成されている画像伸張装置。

【請求項3】 前記スキャン変換部は2マクロブロックの符号量分のメモリ容量を有した第1メモリを備え、前記画素再構成部は、前記予測画像が入力される予測画像入力部に設けられ2マクロブロックのデータ分のメモリ容量を有した第2メモリと、前記予測画像データが出力される予測画像データ出力部に設けられ1マクロブロックのデータ分のメモリ容量を有した第3メモリと、前記再構成済み画素データが出力される再構成済み画素データ出力部に設けられ1マクロブロックのデータ分のメ

モリ容量を有した第4メモリとを備え、

前記画像データの伸張処理を前記第1～第4メモリで区切って複数のパイプラインステージに分割し、マクロブロック単位の同期信号に同期してパイプライン処理を行うことを特徴とする請求項1または請求項2記載の画像伸張装置。

【請求項4】 前記スキャン変換部は1マクロブロックのデータ分のメモリ容量を有した第1メモリを備え、前記画素再構成部は、前記予測画像が入力される予測画像入力部に設けられ2マクロブロックのデータ分のメモリ容量を有した第2メモリと、前記予測画像データが出力される予測画像データ出力部に設けられ1マクロブロックのデータ分のメモリ容量を有した第3メモリと、前記再構成済み画素データが出力される再構成済み画素データ出力部に設けられ1マクロブロックのデータ分のメモリ容量を有した第4メモリとを備え、前記逆DCT部の出力部に設けられた1マクロブロックのデータ分のメモリ容量を有した第5メモリをさらに備え、

前記画像データの伸張処理を前記第1～第5メモリで区切って複数のパイプラインステージに分割し、マクロブロック単位の同期信号に同期してパイプライン処理を行うことを特徴とする請求項1または請求項2記載の画像伸張装置。

【請求項5】 前記スキャン変換部は1マクロブロックのデータ分のメモリ容量を有した第1メモリを備え、前記画素再構成部は、前記予測画像が入力される予測画像入力部に設けられ2マクロブロックのデータ分のメモリ容量を有した第2メモリと、前記再構成済み画素データが出力される再構成済み画素データ出力部に設けられ1マクロブロックのデータ分のメモリ容量を有した第3メモリとを備え、

前記画像データの伸張処理を前記第1～第3メモリで区切って複数のパイプラインステージに分割し、マクロブロック単位の同期信号に同期してパイプライン処理を行うことを特徴とする請求項1または請求項2記載の画像伸張装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は符号化された動画画像データの伸張を行う画像伸張装置に関し、特に、直交変換とフレーム間予測符号化を併用する動画画像圧縮方式によって符号化された動画画像データの伸張を行う画像伸張装置に関する。

**【0002】**

【従来の技術】図9は従来の画像データ伸張装置の構成を示すブロック図である。図9において従来の画像データ伸張装置は、レートバッファインタフェース(FIFOインタフェース)1、可変長復号部2、スキャン変換部3、逆量子化部4、逆DCT(離散コサイン変換)部

5、画素再構成部6、ピクセルインタフェース7、DRAMインタフェース8、ホストインタフェース9、制御部10で構成されている。

【0003】圧縮された入力画像データ（以下ビットストリームと呼称）は、レートバッファインタフェース1を介して、外部に設けられたDRAM11内のレートバッファに格納される。レートバッファインタフェース1は外部から入力されるビットストリームをバッファメモリA（その容量は64ビット×24ワード：1.5Kビット）に一旦蓄えたのち、制御部10からの制御によりDRAMインタフェース8を介してDRAM11にデータを転送する。DRAM11に格納されたビットストリームは制御部10からの制御により、DRAM11から読み出され、DRAMインタフェース8を介してレートバッファインタフェース1においてバッファメモリB（その容量は64ビット×32ワード：2Kビット）に一旦蓄えられた後、可変長復号部2に与えられる。

【0004】可変長復号部2においてシンボル解析および復号を行って得られた復号データは、スキャン変換部3によって逆ジグザグ順に並べ換えられ、逆量子化部4において逆量子化処理が施される。そして、逆DCT部5において逆DCT処理が施され、その出力データは画素再構成部6へと送られる。

【0005】ここで画素再構成部6に送られたデータがフレーム内符号化されたものであれば、それは画像データそのものであるため、画素再構成部6とDRAMインタフェース8を介してフレームメモリも兼ねるDRAM11へ復号された画像データとして格納される。また、フレーム間符号化されたものであれば、それは予測画像として用いられる既に復号された画像データとの差分誤差データであるため、DRAMインタフェース8を介して得られる予測画像から算出された予測画像データとの加算を行い、復号すべき画像データを得る。これをDRAMインタフェース8を介してDRAM11へ格納する。

【0006】上述の復号動作は、動画データの基本単位であるフィールドピクチャ、フレームピクチャという単位で制御されると同時に、可変長復号部2、スキャン変換部3、逆量子化部4、逆DCT部5、画素再構成部6といった各機能ユニットを有効利用するために、16×16画素を単位とするセグメント（マクロブロックと呼称）単位で制御される。1マクロブロックの処理時間内では、1マクロブロック分のヘッダ解析およびブロックデータの復号と、DRAMインタフェース8を介してDRAM11（レートバッファ）への書き込みと読み出し、予測画像の読み出し、復号画像の書き込み、表示画像の読み出しが行われる。

【0007】

【発明が解決しようとする課題】以上説明した従来の画像データ伸張装置では、レートバッファインタフェース

1内のバッファメモリBの容量が2Kビットであり、DRAM11からのビットストリームの読み出しを頻繁に行わなくてはならないため、レートバッファ制御が煩雑になる。さらに、ビットストリームの読み出しが可変長復号の処理に対して適切に行われない場合、バッファメモリB内のビットストリームが空になり、可変長復号部2のシンボル解析および復号の連続的な処理を妨げる可能性があるといった問題が生じる。

【0008】この結果、可変長復号部2以降の機能ユニットであるスキャン変換部3、逆量子化部、逆DCT部4、画素再構成部6の処理効率も下がり、画像復号処理時間の増大につながる。

【0009】このような場合、パイプライン処理により機能ユニットの処理効率を向上させることが考えられるが、現行のテレビ放送などの画像サイズの大きな画像データを取り扱う場合、復号に必要な処理量が大きいため、各機能ユニット自体の処理効率を高めるため動作周波数を高くしたり、並列動作可能な機能ユニットの個数を多くする必要がある、消費電力が増大したり、装置が大型化するといった問題があった。

【0010】本発明は上記のような問題点を解消するためになされたもので、1マクロブロックのデータ処理において、外部のDRAMからビットストリームの読み出しを頻繁に行うことなく可変長復号を連続的に行って可変長復号器の処理効率を向上させるとともに、各機能ユニットの無駄な待ち時間を極力抑えたパイプライン処理を行って、処理効率を向上した画像データ伸張装置を提供する。

【0011】

【課題を解決するための手段】本発明に係る請求項1記載の画像伸張装置は、外部DRAM内のレートバッファに保持された符号化され圧縮された画像データを受け、該画像データを復号して復号データを生成する可変長復号部と、前記復号データを逆量子化する逆量子化部と、前記逆量子化部の出力データをならべ換えるスキャン変換部と、前記スキャン変換部の出力データに逆離散コサイン変換を施す逆DCT部と、前記復号データがフレーム間符号化されたデータである場合に、既に復号され前記外部DRAM内のフレームメモリに保持された予測画像を読み出して予測画像データを生成し、前記逆DCT部の出力データとの加算を行って再構成済み画素データを生成する画素再構成部とを備え、前記画像データを伸張処理する画像伸張装置において、前記外部DRAMと前記可変長復号部との間に配置され、前記外部DRAM内のレートバッファから読み出した前記画像データを一時的に保持した後、前記可変長復号部に転送する内部レートバッファを備え、前記内部レートバッファは、そのメモリ容量が1マクロブロックのもつべき最大の符号量より大きく形成されている。

【0012】本発明に係る請求項2記載の画像伸張装置

は、外部DRAM内のレートバッファに保持された符号化され圧縮された画像データを受け、該画像データを復号して復号データを生成する可変長復号部と、前記復号データをならべ換えるスキャン変換部と、前記スキャン変換部の出力データを逆量子化する逆量子化部と、前記逆量子化部の出力データに逆離散コサイン変換を施す逆DCT部と、前記復号データがフレーム間符号化されたデータである場合に、既に復号され前記外部DRAM内のレートバッファに保持された予測画像を読み出して予測画像データを生成し、前記逆DCT部の出力データとの加算を行って再構成済み画素データを生成する画素再構成部とを備え、前記画像データを伸張処理する画像伸張装置において、前記外部DRAMと前記可変長復号部との間に配置され、前記外部DRAM内のレートバッファから読み出した前記画像データを一時的に保持した後、前記可変長復号部に転送する内部レートバッファを備え、前記内部レートバッファは、そのメモリ容量が1マクロブロックのもつべき最大の符号量より大きく形成されている。

【0013】本発明に係る請求項3記載の画像伸張装置は、前記スキャン変換部が2マクロブロックのデータ分のメモリ容量を有した第1メモリを備え、前記画素再構成部が、前記予測画像が入力される予測画像入力部に設けられ2マクロブロックのデータ分のメモリ容量を有した第2メモリと、前記予測画像データが出力される予測画像データ出力部に設けられ1マクロブロックのデータ分のメモリ容量を有した第3メモリと、前記再構成済み画素データが出力される再構成済み画素データ出力部に設けられ1マクロブロックのデータ分のメモリ容量を有した第4メモリとを備え、前記画像データの伸張処理を前記第1～第4メモリで区切って複数のパイプラインステージに分割し、マクロブロック単位の同期信号に同期してパイプライン処理を行う。

【0014】本発明に係る請求項4記載の画像伸張装置は、前記スキャン変換部が1マクロブロックのデータ分のメモリ容量を有した第1メモリを備え、前記画素再構成部が、前記予測画像が入力される予測画像入力部に設けられ2マクロブロックのデータ分のメモリ容量を有した第2メモリと、前記予測画像データが出力される予測画像データ出力部に設けられ1マクロブロックのデータ分のメモリ容量を有した第3メモリと、前記再構成済み画素データが出力される再構成済み画素データ出力部に設けられ1マクロブロックのデータ分のメモリ容量を有した第4メモリとを備え、前記逆DCT部の出力部に設けられた1マクロブロックのデータ分のメモリ容量を有した第5メモリをさらに備え、前記画像データの伸張処理を前記第1～第5メモリで区切って複数のパイプラインステージに分割し、マクロブロック単位の同期信号に同期してパイプライン処理を行う。

【0015】本発明に係る請求項5記載の画像伸張装置

は、前記スキャン変換部が1マクロブロックのデータ分のメモリ容量を有した第1メモリを備え、前記画素再構成部が、前記予測画像が入力される予測画像入力部に設けられ2マクロブロックのデータ分のメモリ容量を有した第2メモリと、前記再構成済み画素データが出力される再構成済み画素データ出力部に設けられ1マクロブロックのデータ分のメモリ容量を有した第3メモリとを備え、前記画像データの伸張処理を前記第1～第3メモリで区切って複数のパイプラインステージに分割し、マクロブロック単位の同期信号に同期してパイプライン処理を行う。

【0016】

【発明の実施の形態】

実施の形態1、

<A-1. 画像データ伸張装置1000の構成>図1に本発明に係る画像データ伸張装置の実施の形態1として、画像データ伸張装置1000の構成をブロック図で示す。

【0017】図1において画像データ伸張装置1000は、レートバッファインタフェース(FIFOインタフェース)10、可変長復号部20、逆量子化部30、スキャン変換部40、逆DCT(逆離散コサイン変換)部50、画素再構成部60、ピクセルインタフェース70、DRAMインタフェース80を有し、DRAMインタフェース80を介してDRAM110が接続されている。ここで、DRAM110には1ビット単位、もしくは8ビット単位で外部から入力される圧縮された入力画像データ(以下ビットストリームと呼称)を蓄えるレートバッファおよび複合した画像を書き込むためのフレームメモリが構築されている。なお、ホストインタフェースおよび制御部は図中では省略されている。

【0018】レートバッファインタフェース10はビットストリームをバッファリングし、DRAM110内のレートバッファに転送するためのバッファメモリaと、DRAM110内のレートバッファから可変長復号部20に転送されるビットストリームを一時的にバッファリングするためのバッファメモリcの2つのバッファを有している。可変長復号部20からはバッファメモリcおよびバッファメモリQに対してデータの授受に関する制御信号が与えられる(図においては破線矢印で示す)。

【0019】ここで、バッファメモリcのメモリ容量を1マクロブロックがもつ最大符号量より大きな容量とする。例えば、1マクロブロックの画素データは16×16画素の輝度信号と8×8画素の2つの色差信号を含むので、12ビット×384画素(4.5Kビット)となり、それに付随するヘッダ情報を加味して6Kビット程度とする。

【0020】なお、レートバッファ全体は上述した画像伸張装置1000内部の2つのバッファとDRAM110内のバッファの3つで構成されている。

【0021】また、スキャン変換部40には逆量子化部30において逆量子化された逆量子化済みデータを2マクロブロック分バッファリングするメモリZを備え、スキャン変換機能とともにパイプラインステージ間のバッファとしての機能を有している。

【0022】画素再構成部60には、DRAM110内から読み出された予測画像を、過去の画像と未来の画像に対応できるように2マクロブロック分バッファリングするメモリpと、メモリpにバッファリングされた予測画像から生成した予測画像データを1マクロブロック分バッファリングするメモリfと、逆DCT部50において逆DCT処理されたデータとメモリfにバッファリングされている予測画像データとの和をとって再構成された再構成済み画素データを1マクロブロック分バッファリングするメモリrとを備えている。

【0023】なお、フィルタは動き補償フレーム間予測における動き予測の精度を高めるための丸め付平均処理を行うためのものである。

【0024】また、逆量子化部30には、可変長復号部20における可変長復号時に得られる量子化マトリクスを保持するためのメモリQを備え、ピクセルインタフェース70にはDRAM110から転送されてきた復号済み画像データをバッファリングするメモリd(FIFOメモリ)を備えている。

【0025】なお、ピクセルインタフェース70は外部から与えられる垂直同期信号および水平同期信号に従って、メモリd内の復号済み画像データを外部の表示用半導体装置(NTSCエンコーダやPALエンコーダなど)に出力する装置である。

【0026】< A-2. 画像データ伸張装置1000の動作>次に、図1および図2を用いて画像データ伸張装置1000の動作について説明する。まず、各マクロブロックの復号処理毎に1マクロブロックの処理時間内でDRAM110からバッファメモリcへのビットストリームの転送を行う。また、このとき外部から入力されるビットストリームはバッファメモリaに一旦蓄えられ、DRAMインタフェース80を介してDRAM110に転送される。通常は、バッファメモリcの空き容量分のビットストリームをDRAM110から転送するが、DRAM内にバッファメモリcの空き容量を満たすだけのビットストリームが存在しない場合にはDRAM110内に存在する全ビットストリームを転送する。

【0027】従って、少なくとも1マクロブロック分のビットストリームがバッファメモリc内に存在するため、1マクロブロックの処理時間内においてはDRAM110からのビットストリームの読み出しを頻繁に行う必要がないのでレートバッファ制御の簡略化を図ることができる。

【0028】また、各マクロブロックの処理においてバッファメモリc内のビットストリームが空になることに

よる可変長復号処理の停止が抑止されるので、シンボル解析および復号を連続的に行うことが可能となり、可変長復号部の処理効率向上を図ることができる。

【0029】そして、大きな画像データを取り扱う場合には、画像復号処理を行う各機能ユニットを複数のパイプラインステージに分けマクロブロック単位でパイプライン処理することが有効である。

【0030】画像データ伸張装置1000においては、画像復号処理を行う各機能ユニットを4つのパイプラインステージに分け、当該4つのパイプラインステージをマクロブロック単位の同期信号(MBSYNC)に同期させてマクロブロック単位でパイプライン処理を行っている。以下に各パイプラインステージの処理内容を示す。

【0031】第1ステージST1では、可変長復号部20において入力されたビットストリームに対する可変長復号を行い、ビットストリームから量子化インデックスを得た後、逆量子化部30において復号データに逆量子化を施す。逆量子化された逆量子化済みデータはメモリZにバッファリングする。また、同時にフレーム間符号化された画像データの場合はDRAM110内のフレームメモリから予測画像の読み出しを行う。読み出した予測画像は次の第2ステージST2で予測画像データの生成を行うためにメモリpにバッファリングする。

【0032】第2ステージST2では画素再構成部60において、メモリpにバッファリングされた予測画像に基づいて予測画像データを生成する。生成された予測画像データは、第3ステージST3において画素再構成を行うためにメモリfにバッファリングする。

【0033】第3ステージST3では、スキャン変換部40のメモリZにバッファリングされた逆量子化済みデータに対してスキャン変換(ジグザグスキャンあるいはオルタネートスキャン)を施し、出力されたスキャン変換済みデータに対して逆DCT処理部50において逆DCT処理を施す。そして逆DCT処理済みデータから画素再構成を行う。

【0034】ここでフレーム間符号化された画像データの場合、逆DCT処理済みデータと画素再構成部60においてメモリfにバッファリングされている予測画像データとの和をとり、画素データを再構成する。再構成済み画素データはメモリrにバッファリングする。

【0035】第4ステージST4では、メモリrにバッファリングされた再構成済み画素データを復号画像としてDRAM110内にあるフレームメモリに書き込む。以上4つのパイプラインステージにより1マクロブロックの画像が復号されることになる。

【0036】そして、MBSYNCに同期させてマクロブロック単位でパイプライン処理を行うことで各機能ユニットの処理効率が低下することを防止している。

【0037】図2はマクロブロック単位でのパイプライ

ン処理を説明する図である。図2において、任意のマクロブロック(MBと略記)をn番目のMBとすると、n-2番目のMBに対して第4ステージST4の処理を行うと同時に、n-1番目のMBに対しては第3ステージST3の処理を行い、n番目のMBに対しては第2ステージST2の処理を行い、n+1番目のMBに対しては第1ステージST1の処理を行っている。このように、MBSYNCのある時間において、各機能ユニットは異なるマクロブロックに対する処理をそれぞれ同時に行うパイプライン処理により、各機能ユニットの無駄な待ち時間を極力抑えて、処理効率の向上を図ることができる。

【0038】<A-3. 特徴的作用効果>以上説明した本発明に係る画像データ伸張装置の実施の形態1によれば、レートバッファインタフェース10の、DRAM110から読みだしたビットストリームをバッファリングするバッファメモリcの容量を1マクロブロックがもつ最大符号量より大きな容量としているので、DRAM110からのビットストリームの読み出しを頻繁に行う必要がないのでレートバッファ制御の簡略化を図ることができるとともに、各マクロブロックの処理においてバッファメモリc内のビットストリームが空になることによる可変長復号処理の停止を抑止して、シンボル解析および復号を連続的に行うことが可能となり、可変長復号部の処理効率向上を図ることができる。

【0039】また、逆量子化部30の出力、画素再構成部60における予測画像の入力部および予測画像データの出力部、画素再構成部60の出力にパイプラインステージ間バッファとしてのメモリを設けているので、各機能ユニットの無駄な待ち時間を極力抑えたパイプライン処理を行って、処理効率の向上を図ることができる。

実施の形態2、

<B-1. 画像データ伸張装置2000の構成>図3に本発明に係る画像データ伸張装置の実施の形態2として、画像データ伸張装置2000の構成をブロック図で示す。

【0040】図3において画像データ伸張装置2000は、スキャン変換部40のメモリZに、可変長復号部20においてシンボル解析および復号を行って得られた復号データをバッファリングするように接続されている。また、逆量子化部30において逆量子化された逆量子化済みデータを逆DCT部50に与える構成となっている。

【0041】このように、スキャン変換部40と逆量子化部30の配置が入れ替わっている他は画像データ伸張装置1000の構成と同様であるので、同一の構成には同一の符号を付し重複する説明は省略する。

【0042】<B-2. 画像データ伸張装置2000の動作>次に、図2および図3を用いて画像データ伸張装置2000の動作について説明する。各マクロブロックの復号処理毎に1マクロブロックの処理時間内でDRA

M110からバッファメモリcへのビットストリームの転送を行うという動作、および1マクロブロック分のビットストリームがバッファメモリc内に存在するため、1マクロブロックの処理時間内においてはDRAM110からのビットストリームの読み出しを頻繁に行う必要がないのでレートバッファ制御の簡略化を図ることができ、また、バッファメモリc内のビットストリームが空になることによる可変長復号処理の停止を抑止して、シンボル解析および復号を連続的に行うことが可能となり、可変長復号部の処理効率向上を図ることができるという効果については画像データ伸張装置1000と同様である。

【0043】また、画像データ伸張装置2000においても、画像データ伸張装置1000と同様に画像復号処理を行う機能ユニットを4つのパイプラインステージに分け、当該4つのパイプラインステージをマクロブロック単位の同期信号(MBSYNC)に同期させてパイプライン処理を行っている。以下に各パイプラインステージの処理内容を示す。

【0044】第1ステージST1では、可変長復号部20において入力されたビットストリームに対する可変長復号を行い、復号データはスキャン変換部40のメモリZにバッファリングする。また、同時にフレーム間符号化された画像データの場合はDRAM110内のフレームメモリから予測画像の読み出しを行う。読み出した予測画像は次の第2ステージST2で予測画像データの生成を行うためにメモリpにバッファリングする。

【0045】第2ステージST2では画素再構成部60において、メモリpにバッファリングされた予測画像に基づいて予測画像データを生成する。生成された予測画像データは、第3ステージST3において画素再構成を行うためにメモリfにバッファリングする。

【0046】第3ステージST3では、スキャン変換部40のメモリZにバッファリングされた復号データに対してスキャン変換を施し、出力されたスキャン変換済みデータに対して、ビットストリームから得た量子化インデックスに基づいて逆量子化部30において逆量子化を施し、逆量子化済みデータに対して逆DCT処理部50において逆DCT処理を施し、逆DCT処理済みデータから画素再構成を行う。

【0047】ここで、フレーム間符号化された画像データの場合、逆DCT処理済みデータと画素再構成部60においてメモリfにバッファリングされている予測画像データとの和をとり、画素データを再構成する。再構成済み画素データはメモリrにバッファリングする。

【0048】第4ステージST4では、メモリrにバッファリングされた再構成済み画素データを復号画像としてDRAM110内にあるフレームメモリに書き込む。以上4つのパイプラインステージにより1マクロブロックの画像が復号されることになる。



【0049】そして、MBSYNCに同期させてマクロブロック単位でパイプライン処理を行うことで各機能ユニットの処理効率が低下することを防止している。すなわち、図2に示すように、任意のマクロブロック（MBと略記）を $n$ 番目のMBとすると、 $n-2$ 番目のMBに対して第4ステージST4の処理を行うと同時に、 $n-1$ 番目のMBに対しては第3ステージST3の処理を行い、 $n$ 番目のMBに対しては第2ステージST2の処理を行い、 $n+1$ 番目のMBに対しては第1ステージST1の処理を行っている。このように、MBSYNCのある時間において、各機能ユニットは異なるマクロブロックに対する処理をそれぞれ同時に行うパイプライン処理により、各機能ユニットの無駄な待ち時間を極力抑えて、処理効率の向上を図ることができる。

【0050】＜B-3. 特徴的作用効果＞以上説明した本発明に係る画像データ伸張装置の実施の形態2によれば、レートバッファインタフェース10の、DRAM110から読みだしたビットストリームをバッファリングするバッファメモリcの容量を1マクロブロックがもつ最大符号量より大きな容量とすることで、レートバッファ制御の簡略化を図ることができるとともに、可変長復号部20の処理効率向上を図ることができる。

【0051】また、可変長復号部20の出力、画素再構成部60における予測画像の入力部および予測画像データの出力部、画素再構成部60の出力にパイプラインステージ間バッファとしてのメモリを設けているので、パイプライン処理が可能となり各機能ユニットの無駄な待ち時間を極力抑えて、処理効率の向上を図ることができる。

【0052】実施の形態3、  
＜C-1. 画像データ伸張装置3000の構成＞図4に本発明に係る画像データ伸張装置の実施の形態3として、画像データ伸張装置3000の構成をブロック図で示す。

【0053】図4において画像データ伸張装置3000は、逆DCT部50と画素再構成部60との間に、逆DCT部50からの逆DCT処理済みデータをバッファリングするメモリを備えている。そして、スキャン変換部40は1マクロブロック分の容量のメモリZ'を備えている。その他の構成は画像データ伸張装置1000と同様であるので、同一の構成には同一の符号を付し重複する説明は省略する。

【0054】＜C-2. 画像データ伸張装置3000の動作＞次に、図2および図4を用いて画像データ伸張装置3000の動作について説明する。

【0055】各マクロブロックの復号処理毎に1マクロブロックの処理時間内でDRAM110からバッファメモリcへのビットストリームの転送を行うという動作、および1マクロブロック分のビットストリームがバッファメモリc内に存在するため、1マクロブロックの処理

時間内においてはDRAM110からのビットストリームの読み出しを頻繁に行う必要がないのでレートバッファ制御の簡略化を図ることができ、また、バッファメモリc内のビットストリームが空になることによる可変長復号処理の停止を抑止して、シンボル解析および復号を連続的に行うことが可能となり、可変長復号部の処理効率向上を図ることができるという効果については画像データ伸張装置1000と同様である。

【0056】画像データ伸張装置3000においても、画像データ伸張装置1000と同様に画像復号処理を行う機能ユニットを4つのパイプラインステージに分け、当該4つのパイプラインステージをマクロブロック単位の同期信号（MBSYNC）に同期させてパイプライン処理を行っている。以下に各パイプラインステージの処理内容を示す。

【0057】第1ステージST1では、可変長復号部20において入力されたビットストリームに対する可変長復号を行い、ビットストリームから得た量子化インデックスに基づいて復号データに逆量子化を施す。逆量子化された逆量子化済みデータはメモリZ'にバッファリングする。また、同時にフレーム間符号化された画像データの場合はDRAM110内のフレームメモリから予測画像の読み出しを行う。読み出した予測画像は次の第2ステージST2で予測画像データの生成を行うためにメモリpにバッファリングする。

【0058】第2ステージST2では、メモリZ'にバッファリングされた逆量子化済みデータに対してスキャン変換を施し、出力されたスキャン変換済みデータに対して逆DCT処理部50において逆DCT処理を施す。そして逆DCT処理済みデータはメモリmにバッファリングする。また、これと同時に、画素再構成部60において、メモリpにバッファリングされた予測画像に基づいて予測画像データを生成する。生成された予測画像データはメモリfにバッファリングする。

【0059】第3ステージST3では、メモリmにバッファリングされた逆DCT処理済みデータから画素再構成を行う。

【0060】ここで、フレーム間符号化された画像データの場合、逆DCT処理済みデータは画素再構成部60においてメモリfにバッファリングされている予測画像データとの和をとり、画素データを再構成する。再構成済み画素データはメモリrにバッファリングする。

【0061】第4ステージST4では、メモリrにバッファリングされた再構成済み画素データを復号画像としてDRAM110内にあるフレームメモリに書き込む。以上4つのパイプラインステージにより1マクロブロックの画像が復号されることになる。

【0062】そして、MBSYNCに同期させてマクロブロック単位でパイプライン処理を行うことで各機能ユニットの処理効率が低下することを防止している。すな



わち、図2に示すように、任意のマクロブロック（MBと略記）をn番目のMBとすると、n-2番目のMBに対して第4ステージST4の処理を行うと同時に、n-1番目のMBに対しては第3ステージST3の処理を行い、n番目のMBに対しては第2ステージST2の処理を行い、n+1番目のMBに対しては第1ステージST1の処理を行っている。このように、MBSYNCのある時間において、各機能ユニットは異なるマクロブロックに対する処理をそれぞれ同時に行うパイプライン処理により、各機能ユニットの無駄な待ち時間を極力抑えて、処理効率の向上を図ることができる。

【0063】<C-3. 特徴的作用効果>以上説明した本発明に係る画像データ伸張装置の実施の形態3によれば、レートバッファインタフェース10の、DRAM110から読みだしたビットストリームをバッファリングするバッファメモリcの容量を1マクロブロックがもつ最大符号量より大きな容量とすることで、レートバッファ制御の簡略化を図ることができるとともに、可変長復号部20の処理効率向上を図ることができる。

【0064】また、逆量子化部30の出力、画素再構成部60における予測画像の入力部および予測画像データの出力部、画素再構成部60の出力にパイプラインステージ間バッファとしてのメモリを設けているので、パイプライン処理が可能となり各機能ユニットの無駄な待ち時間を極力抑えて、処理効率の向上を図ることができる。

【0065】さらに、画素再構成部60の入力にもパイプラインステージ間バッファとしてのメモリを設けているので、第2ステージST2において逆DCT処理を施すことができる。このことは、パイプライン処理を行う際の機能ユニットの振り分けのバリエーションを増すことができることを意味している。

【0066】実施の形態4、

<D-1. 画像データ伸張装置4000の構成>図5に本発明に係る画像データ伸張装置の実施の形態4として、画像データ伸張装置4000の構成をブロック図で示す。

【0067】図5において画像データ伸張装置4000は、逆DCT部50と画素再構成部60との間に、逆DCT部50からの逆DCT処理済みデータをバッファリングするメモリを備えている。そして、スキャン変換部40は1マクロブロック分の容量のメモリZ'を備えている。その他の構成は画像データ伸張装置2000と同様であるので、同一の構成には同一の符号を付し重複する説明は省略する。

【0068】<D-2. 画像データ伸張装置4000の動作>次に、図2および図5を用いて画像データ伸張装置4000の動作について説明する。各マクロブロックの復号処理毎に1マクロブロックの処理時間内でDRAM110からバッファメモリcへのビットストリームの

転送を行うという動作、および1マクロブロック分のビットストリームがバッファメモリc内に存在するため、1マクロブロックの処理時間内においてはDRAM110からのビットストリームの読み出しを頻繁に行う必要がないのでレートバッファ制御の簡略化を図ることができ、また、バッファメモリc内のビットストリームが空になることによる可変長復号処理の停止を抑止して、シンボル解析および復号を連続的に行うことが可能となり、可変長復号部の処理効率向上を図ることができるといふ効果については画像データ伸張装置2000と同様である。

【0069】画像データ伸張装置4000においても、画像データ伸張装置1000と同様に画像復号処理を行う各機能ユニットを4つのパイプラインステージに分け、当該4つのパイプラインステージをマクロブロック単位の同期信号（MBSYNC）に同期させてパイプライン処理を行っている。以下に各パイプラインステージの処理内容を示す。

【0070】第1ステージST1では、可変長復号部20において入力されたビットストリームに対する可変長復号を行い、復号データはスキャン変換部40のメモリZ'にバッファリングする。また、同時にフレーム間符号化された画像データの場合はDRAM110内のフレームメモリから予測画像の読み出しを行う。読み出した予測画像は次の第2ステージST2で予測画像データの生成を行うためにメモリpにバッファリングする。

【0071】第2ステージST2では、スキャン変換部40のメモリZ'にバッファリングされた復号データに対してスキャン変換を施し、出力されたスキャン変換済みデータに対して、ビットストリームから得た量子化インデックスに基づいて逆量子化部30において逆量子化を施す。そして、逆量子化済みデータに対して逆DCT処理部50において逆DCT処理を施し、逆DCT処理済みデータはメモリtにバッファリングする。

【0072】また、これと同時に、画素再構成部60において、メモリpにバッファリングされた予測画像に基づいて予測画像データを生成する。生成された予測画像データはメモリfにバッファリングする。

【0073】第3ステージST3では、メモリtにバッファリングされた逆DCT処理済みデータから画素再構成を行う。

【0074】ここで、フレーム間符号化された画像データの場合、逆DCT処理済みデータと画素再構成部60においてメモリfにバッファリングされている予測画像データとの和を取り、画素データを再構成する。再構成済み画素データはメモリrにバッファリングする。

【0075】第4ステージST4では、メモリrにバッファリングされた再構成済み画素データを復号画像としてDRAM110内にあるフレームメモリに書き込む。以上4つのパイプラインステージにより1マクロブロッ

クの画像が復号されることになる。

【0076】そして、MBSYNCに同期させてマクロブロック単位でパイプライン処理を行うことで各機能ユニットの処理効率が低下することを防止している。すなわち、図2に示すように、任意のマクロブロック(MBと略記)をn番目のMBとすると、n-2番目のMBに対して第4ステージST4の処理を行うと同時に、n-1番目のMBに対しては第3ステージST3の処理を行い、n番目のMBに対しては第2ステージST2の処理を行い、n+1番目のMBに対しては第1ステージST1の処理を行っている。このように、MBSYNCのある時間において、各機能ユニットは異なるマクロブロックに対する処理をそれぞれ同時に行うパイプライン処理により、各機能ユニットの無駄な待ち時間を極力抑えて、処理効率の向上を図ることができる。

【0077】<D-3. 特徴的作用効果>以上説明した本発明に係る画像データ伸張装置の実施の形態4によれば、レートバッファインタフェース10の、DRAM110から読み出したビットストリームをバッファリングするバッファメモリcの容量を1マクロブロックがもつ最大符号量より大きな容量とすることで、レートバッファ制御の簡略化を図ることができるとともに、可変長復号部20の処理効率向上を図ることができる。

【0078】また、可変長復号部20の出力、画素再構成部60における予測画像の入力部および予測画像データの出力部、画素再構成部60の出力にパイプラインステージ間バッファとしてのメモリを設けているので、パイプライン処理が可能となり各機能ユニットの無駄な待ち時間を極力抑えて、処理効率の向上を図ることができる。

【0079】さらに、画素再構成部60の入力にもパイプラインステージ間バッファとしてのメモリを設けているので、第2ステージST2において逆DCT処理を施すことができる。このことは、パイプライン処理を行う際の機能ユニットの振り分けのバリエーションを増すことができることを意味している。

【0080】実施の形態5、

<E-1. 画像データ伸張装置5000の構成>図6に本発明に係る画像データ伸張装置の実施の形態5として、画像データ伸張装置5000の構成をブロック図で示す。

【0081】図6において画像データ伸張装置5000は、画素再構成部60における予測画像データの出力部、すなわちフィルタの出力部に予測画像データをバッファリングするメモリを備えていない。そして、スキャン変換部40には1マクロブロック分の容量のメモリZ'を備えている。その他の構成は画像データ伸張装置1000と同様であるので、同一の構成には同一の符号を付し重複する説明は省略する。

【0082】<E-2. 画像データ伸張装置5000の

動作>次に、図6および図7を用いて画像データ伸張装置5000の動作について説明する。

【0083】各マクロブロックの復号処理毎に1マクロブロックの処理時間内でDRAM110からバッファメモリcへのビットストリームの転送を行うという動作、および1マクロブロック分のビットストリームがバッファメモリc内に存在するため、1マクロブロックの処理時間内においてはDRAM110からのビットストリームの読み出しを頻繁に行う必要がないのでレートバッファ制御の簡略化を図ることができ、また、バッファメモリc内のビットストリームが空になることによる可変長復号処理の停止を抑止して、シンボル解析および復号を連続的に行うことが可能となり、可変長復号部の処理効率向上を図ることができるという効果については画像データ伸張装置1000と同様である。

【0084】図7に画像データ伸張装置5000におけるマクロブロック単位でのパイプライン処理を説明する図を示す。

【0085】画像データ伸張装置5000においては、画像復号処理を行う機能ユニットを3つのパイプラインステージに分け、当該3つのパイプラインステージをマクロブロック単位の同期信号(MBSYNC)に同期させてパイプライン処理を行っている。以下に各パイプラインステージの処理内容を示す。

【0086】第1ステージST1では、可変長復号部20において入力されたビットストリームに対する可変長復号を行い、ビットストリームから得られた量子化インデックスに基づいて、逆量子化部30において復号データに逆量子化を施す。逆量子化された逆量子化済みデータはメモリZ'にバッファリングする。

【0087】また、同時にフレーム間符号化された画像データの場合はDRAM110内のフレームメモリから予測画像の読み出しを行う。読み出した予測画像は次の第2ステージST2で予測画像データの生成を行うためにメモリpにバッファリングする。

【0088】第2ステージST2では、スキャン変換部40のメモリZにバッファリングされた逆量子化済みデータに対してスキャン変換を施し、出力されたスキャン変換済みデータに対して逆DCT処理部50において逆DCT処理を施す。同時にフレーム間符号化された画像データの場合、画素再構成部60においてメモリpにバッファリングされた予測画像に基づいて予測画像データを生成しながら、逆DCT処理済みデータとの和をとり、画素データを再構成する。そして、再構成済み画素データはメモリrにバッファリングする。

【0089】第3ステージでは、メモリrにバッファリングされた再構成済み画素データを復号画像としてDRAM110内にあるフレームメモリに書き込む。

【0090】以上3つのパイプラインステージにより1マクロブロックの画像が復号されることになる。

【0091】そして、MBSYNCに同期させてマクロブロック単位でパイプライン処理を行うことで各機能ユニットの処理効率が低下することを防止している。すなわち、図7に示すように、任意のマクロブロック（MBと略記）を $n$ 番目のMBとすると、 $n-2$ 番目のMBに対して第3ステージST3の処理を行うと同時に、 $n-1$ 番目のMBに対しては第2ステージST2の処理を行い、 $n$ 番目のMBに対しては第1ステージST1の処理を行っている。このように、MBSYNCのある時間において、各機能ユニットは異なるマクロブロックに対する処理をそれぞれ同時に行うパイプライン処理により、各機能ユニットの無駄な待ち時間を極力抑えて、処理効率の向上を図ることができる。

【0092】＜E-3. 特徴的作用効果＞以上説明した本発明に係る画像データ伸張装置の実施の形態5によれば、レートバッファインタフェース10の、DRAM110から読みだしたビットストリームをバッファリングするバッファメモリcの容量を1マクロブロックがもつ最大符号量より大きな容量とすることで、レートバッファ制御の簡略化を図ることができるとともに、可変長復号部20の処理効率向上を図ることができる。

【0093】また、逆量子化部30の出力、画素再構成部60における予測画像の入力部、画素再構成部60の出力にパイプラインステージ間バッファとしてのメモリを設け、3つのパイプラインステージでパイプライン処理を行うので、画像復号処理速度を全体的に向上させることができる。

【0094】さらに、第2ステージST2で予測画像データを生成しながら、逆DCT処理済みデータとの和をとり画素データを再構成するので、スキャン変換部40のメモリZ'は逆量子化済みデータを1マクロブロック分保持しておけば良く、メモリの容量は半減する。また、予測画像データを保持するメモリfが不要になるので画像データ伸張装置を小型化することができる。

【0095】実施の形態6、

＜F-1. 画像データ伸張装置6000の構成＞図8に本発明に係る画像データ伸張装置の実施の形態6として、画像データ伸張装置6000の構成をブロック図で示す。

【0096】図8において画像データ伸張装置6000は、画素再構成部60における予測画像データの出力部、すなわちフィルタの出力部に予測画像データをバッファリングするメモリを備えていない。そして、スキャン変換部40には1マクロブロック分の容量のメモリZ'を備えている。その他の構成は画像データ伸張装置2000と同様であるので、同一の構成には同一の符号を付し重複する説明は省略する。

【0097】＜F-2. 画像データ伸張装置6000の動作＞次に、図7および図8を用いて画像データ伸張装置6000の動作について説明する。

【0098】各マクロブロックの復号処理毎に1マクロブロックの処理時間内でDRAM110からバッファメモリcへのビットストリームの転送を行うという動作、および1マクロブロック分のビットストリームがバッファメモリc内に存在するため、1マクロブロックの処理時間内においてはDRAM110からのビットストリームの読み出しを頻繁に行う必要がないのでレートバッファ制御の簡略化を図ることができ、また、バッファメモリc内のビットストリームが空になることによる可変長復号処理の停止を抑止して、シンボル解析および復号を連続的に行うことが可能となり、可変長復号部の処理効率向上を図ることができるという効果については画像データ伸張装置1000と同様である。

【0099】画像データ伸張装置6000においては、画像復号処理を行う機能ユニットを3つのパイプラインステージに分け、当該3つのパイプラインステージをマクロブロック単位の同期信号（MBSYNC）に同期させてパイプライン処理を行っている。以下に各パイプラインステージの処理内容を示す。

【0100】第1ステージST1では、可変長復号部20において入力されたビットストリームに対する可変長復号を行い、復号データはスキャン変換部40のメモリZ'にバッファリングする。また、同時にフレーム間符号化された画像データの場合はDRAM110内のフレームメモリから予測画像の読み出しを行う。読み出した予測画像は次の第2ステージST2で予測画像データの生成を行うためにメモリpにバッファリングする。

【0101】第2ステージST2では、スキャン変換部40のメモリZ'にバッファリングされた復号データに対してスキャン変換を施し、出力されたスキャン変換済みデータに対して、ビットストリームから得た量子化インデックスに基づいて逆量子化部30において逆量子化を施し、逆量子化済みデータに対して逆DCT処理部50において逆DCT処理を施す。同時にフレーム間符号化された画像データの場合、画素再構成部60においてメモリpにバッファリングされた予測画像に基づいて予測画像データを生成しながら、逆DCT処理済みデータとの和をとり、画素データを再構成する。そして、再構成済み画素データはメモリrにバッファリングする。

【0102】第3ステージST3では、メモリrにバッファリングされた再構成済み画素データを復号画像としてDRAM110内にあるフレームメモリに書き込む。以上3つのパイプラインステージにより1マクロブロックの画像が復号されることになる。

【0103】そして、MBSYNCに同期させてマクロブロック単位でパイプライン処理を行うことで各機能ユニットの処理効率が低下することを防止している。すなわち、図7に示すように、任意のマクロブロック（MBと略記）を $n$ 番目のMBとすると、 $n-2$ 番目のMBに対して第3ステージST3の処理を行うと同時に、 $n-1$

番目のMB対しては第2ステージST2の処理を行い、n番目のMB対しては第1ステージST1の処理を行っている。このように、MBSYNCのある時間において、各機能ユニットは異なるマクロブロックに対する処理をそれぞれ同時に行うパイプライン処理により、各機能ユニットの無駄な待ち時間を極力抑えて、処理効率の向上を図ることができる。

【0104】<F-3. 特徴的作用効果>以上説明した本発明に係る画像データ伸張装置の実施の形態6によれば、レートバッファインタフェース10の、DRAM110から読みだしたビットストリームをバッファリングするバッファメモリcの容量を1マクロブロックがもつ最大符号量より大きな容量とすることで、レートバッファ制御の簡略化を図ることができるとともに、可変長復号部20の処理効率向上を図ることができる。

【0105】また、可変長復号部20の出力、画素再構成部60における予測画像の入力部、画素再構成部60の出力にパイプラインステージ間バッファとしてのメモリを設け、3つのパイプラインステージでパイプライン処理を行うので、画像復号処理速度を全体的に向上させることができる。

【0106】さらに、第2ステージST2で予測画像データを生成しながら、逆DCT処理済みデータとの和をとり画素データを再構成するので、スキャン変換部40のメモリZ'は逆量子化済みデータを1マクロブロック分保持しておけば良く、メモリの容量は半減する。また、予測画像データを保持するメモリfが不要になるので画像データ伸張装置を小型化することができる。

【0107】

【発明の効果】本発明に係る請求項1および請求項2記載の画像伸張装置によれば、外部DRAM内のレートバッファから読み出した画像データが、少なくとも1マクロブロックのもつべき最大の符号量分は内部バッファに保持されることになるので、1マクロブロックの処理時間中に頻繁に外部DRAMから画像データを読み出す必要がなくなるので、外部DRAM内のレートバッファおよび内部レートバッファの制御が容易になるとともに、画像データの伸張をマクロブロック単位で行うことが可能となり、1マクロブロックの処理時間中に内部バッファが空になることによる可変長復号処理の停止が抑止される、シンボル解析および復号を連続的に行うことができ、可変長復号部の処理効率を向上した画像伸張装置が得られる。

【0108】本発明に係る請求項3記載の画像伸張装置によれば、例えば第1のパイプラインステージとして、可変長復号および逆量子化を行った結果を第1メモリに記憶させると同時に、予測画像の読み出しを行って第2メモリに記憶させ、第2のパイプラインステージとして、第2メモリに記憶した予測画像から予測画像データの生成を行って第3メモリに記憶させ、第3のパイプ

ラインステージとして第1メモリに記憶された可変長復号および逆量子化を行った結果に対してスキャン変換、逆DCTを行い、第3メモリに記憶された予測画像データとの加算を行って再構成済み画素データを生成し、当該再構成済み画素データを第3メモリに記憶させ、第4のパイプラインステージとして第3メモリに記憶された再構成済み画素データを外部DRAM内のレートバッファに書き込むことができ、マクロブロック単位の同期信号に同期して各パイプラインステージを動作させることで、無駄な待ち時間を極力抑えたパイプライン処理が可能となり、処理効率を向上した画像伸張装置が得られる。

【0109】本発明に係る請求項4記載の画像伸張装置によれば、例えば第1のパイプラインステージとして、可変長復号および逆量子化を行った結果を第1メモリに記憶させると同時に、予測画像の読み出しを行って第2メモリに記憶させ、第2のパイプラインステージとして、第1メモリに記憶された可変長復号および逆量子化を行った結果に対してスキャン変換、逆DCTを行って第5メモリに記憶させると同時に、第2メモリに記憶した予測画像から予測画像データの生成を行って第3メモリに記憶させ、第3のパイプラインステージとして、第5メモリに記憶されたスキャン変換、逆DCTを行った結果と、第3メモリに記憶された予測画像データとの加算を行って再構成済み画素データを生成し、当該再構成済み画素データを第4メモリに記憶させ、第4のパイプラインステージとして第3メモリに記憶された再構成済み画素データを外部DRAM内のレートバッファに書き込むことができ、マクロブロック単位の同期信号に同期して各パイプラインステージを動作させることで、無駄な待ち時間を極力抑えたパイプライン処理が可能となり、処理効率を向上した画像伸張装置が得られる。

【0110】本発明に係る請求項5記載の画像伸張装置によれば、例えば第1のパイプラインステージとして、可変長復号および逆量子化を行った結果を第1メモリに記憶させると同時に、予測画像の読み出しを行って第2メモリに記憶させ、第2のパイプラインステージとして、第1メモリに記憶された可変長復号および逆量子化を行った結果に対してスキャン変換、逆DCTを行うと同時に、第2メモリに記憶した予測画像から予測画像データの生成を行って加算により再構成済み画素データを生成して第3メモリに記憶させ、第3のパイプラインステージとして第3メモリに記憶された再構成済み画素データを外部DRAM内のレートバッファに書き込むことができる。このように、3つのパイプラインステージでパイプライン処理を行うので、画像復号処理速度を全体的に向上させることができ、また、第1メモリは可変長復号および逆量子化を行った結果を1マクロブロック分保持しておけば良いので、メモリの容量が半減し、予測画像データを保持するメモリが不要になるので画像デー

タ伸張装置を小型化することができる。

【図面の簡単な説明】

【図１】 本発明に係る画像データ伸張装置の実施の形態１の構成を示すブロック図である。

【図2】 本発明に係る画像データ伸張装置のマクロブロック単位でのパイプライン処理を説明する図である。

【図3】 本発明に係る画像データ伸張装置の実施の形態2の構成を示すブロック図である。

【図4】 本発明に係る画像データ伸張装置の実施の形態3の構成を示すブロック図である。

【図5】 本発明に係る画像データ伸張装置の実施の形態4の構成を示すブロック図である。

【図6】 本発明に係る画像データ伸張装置の実施の形

態5の構成を示すブロック図である。

【図7】 本発明に係る画像データ伸張装置のマクロブロック単位でのパイプライン処理を説明する図である。

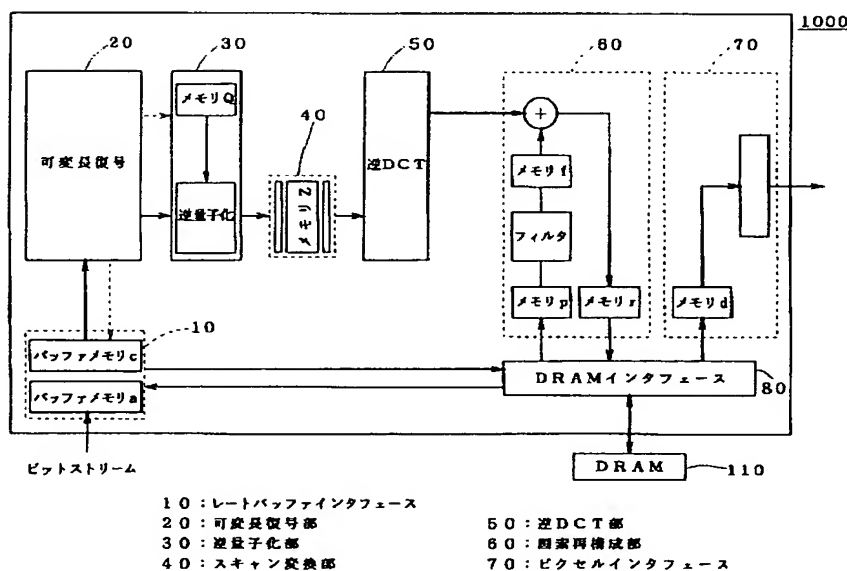
【図8】 本発明に係る画像データ伸張装置の実施の形態6の構成を示すブロック図である。

【図9】 従来の画像データ伸張装置の構成を示すブロック図である。

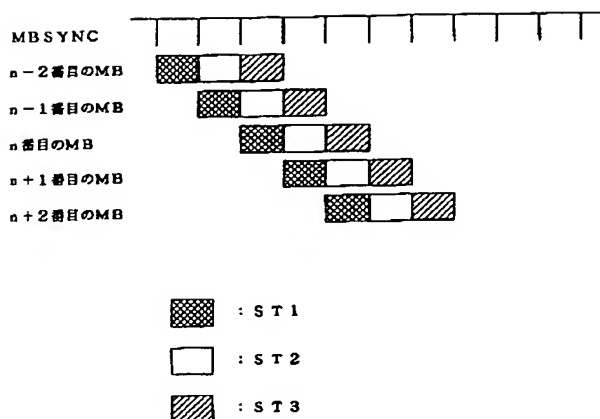
【符号の説明】

10 レートバッファインタフェース、20 可変長復号部、30 逆量子化部、40 スキャン変換部、50 逆DCT部、60 画素再構成部、70 ピクセルインタフェース、MBSYNC マクロブロック単位の同期信号、MB マクロブロック。

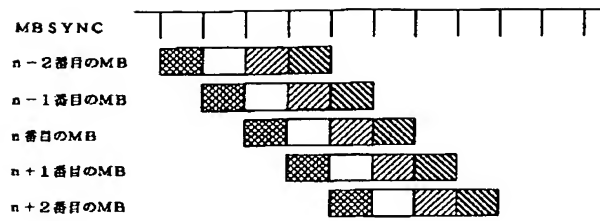
【图1】



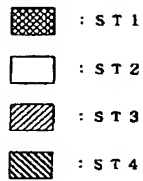
【図7】



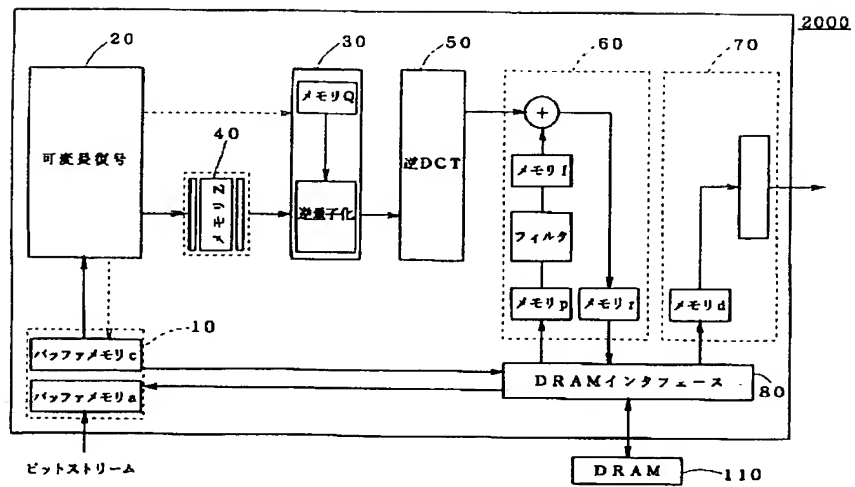
【図2】



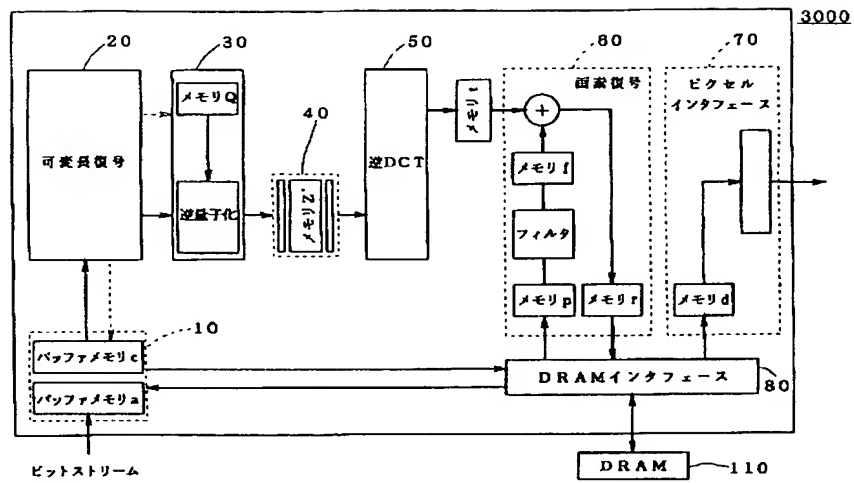
MB SYNC: マクロブロック単位の  
同期信号  
MB: マクロブロック



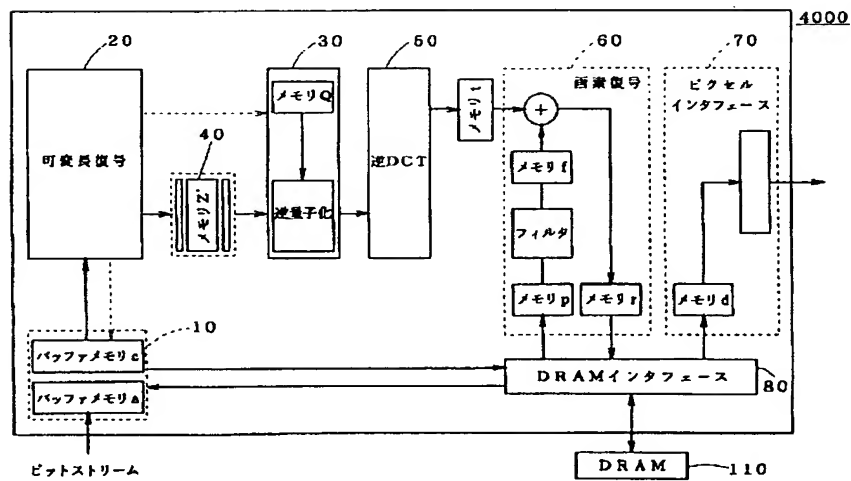
【図3】



【図4】

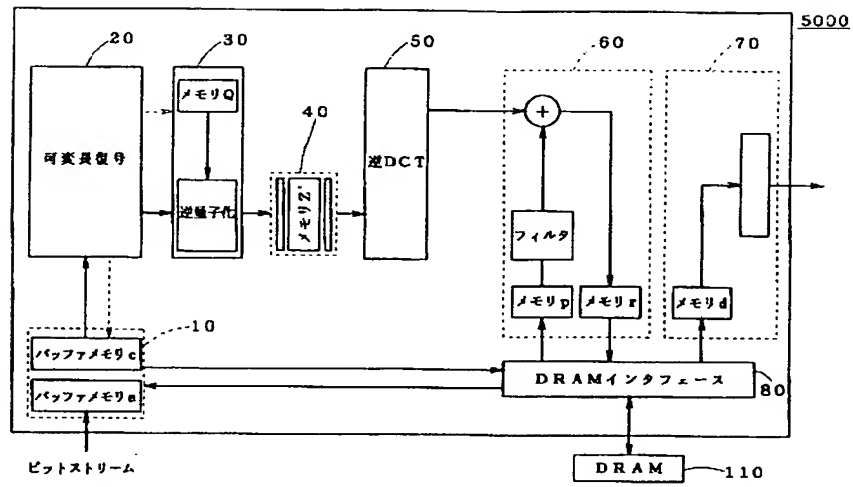


【図5】

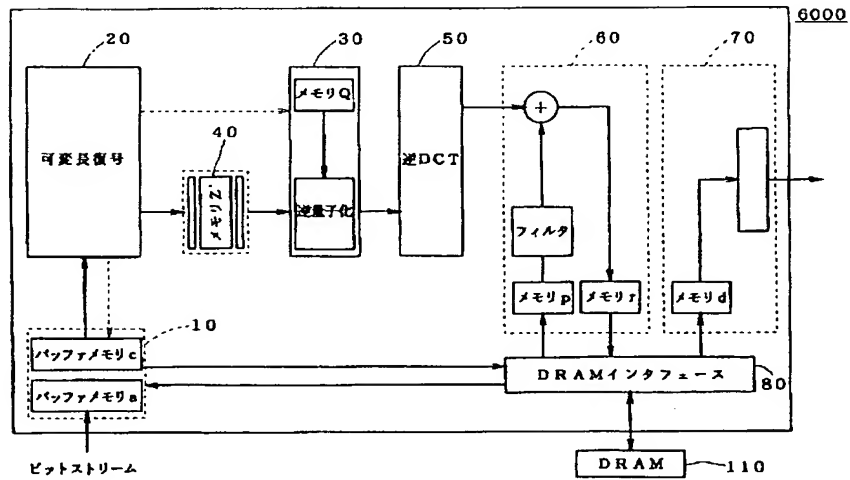




【図6】



【図8】



【図9】

